

PAT-NO: JP411317396A
DOCUMENT-IDENTIFIER: JP 11317396 A
TITLE: ETCHING SYSTEM
PUBN-DATE: November 16, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SHOBU, SATOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10124351

APPL-DATE: May 7, 1998

INT-CL (IPC): H01L021/3065, C23F004/00

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress decrease in etching rate in wafer margin and improve the uniformity of etching within wafer surface.

SOLUTION: In a chamber 2 of an etching system, an upper electrode 3 and a lower electrode 4 are set facing opposite, and a work to be treated on a wafer 10 supported on an upper face 4a of the lower electrode 4 is etched under plasma generated between the upper electrode 3 and the lower electrode 4. In this case, a lower surface 3a of the upper electrode 3 is structured concave, so that a gap h1 between the upper electrode 3 and the lower electrode 4 in the margin of the lower surface 3a is smaller than a gap h2 between the upper electrode 3 and the lower electrode 4 at about central part of the beneath 3a.

COPYRIGHT: (C)1999, JPO

DERWENT-ACC-NO: 2000-059616

DERWENT-WEEK: 200024

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Electrode arrangement in etching apparatus used for semiconductor device manufacture - sets distance between upper electrode termination and lower electrode to be smaller than that between upper electrode center and lower electrode

PATENT-ASSIGNEE: SONY CORP [SONY]

PRIORITY-DATA: 1998JP-0124351 (May 7, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC JP 11317396 A 021/3065	November 16, 1999	N/A	005 H01L

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11317396A	N/A	1998JP-0124351	May 7, 1998

INT-CL (IPC): C23F004/00, H01L021/3065

ABSTRACTED-PUB-NO: JP 11317396A

BASIC-ABSTRACT:

NOVELTY - An upper electrode (3) and a lower electrode (4) are oppositely provided in a chamber (2). The undersurface (3a) of the upper electrode has a concave shape such that the distance (h1) between the upper electrode termination and lower electrode is smaller than the distance (h2) between upper electrode center section and lower electrode.

USE - In etching apparatus used for semiconductor device manufacture.

ADVANTAGE - Reduction of etching rate is suppressed and etching uniformity is improved. The yield and dependability are improved as plasma density per unit area is made high. DESCRIPTION OF DRAWING(S) - The figure shows the schematic block diagram of the etching apparatus. (2) Chamber; (3) Upper electrode; (3a) Undersurface; (4) Lower electrode; (h1,h2) Distances.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: ELECTRODE ARRANGE ETCH APPARATUS SEMICONDUCTOR DEVICE MANUFACTURE SET DISTANCE UPPER ELECTRODE TERMINATE LOWER ELECTRODE SMALLER UPPER ELECTRODE LOWER ELECTRODE

DERWENT-CLASS: L03 U11 V05 X14

CPI-CODES: L04-D;

EPI-CODES: U11-C07A1; U11-C09C; V05-F04B5; V05-F05C; V05-F08E1; X14-F02;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2000-016330

Non-CPI Secondary Accession Numbers: N2000-046841

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-317396

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.
H 01 L 21/3065
C 23 F 4/00

識別記号

F I
H 01 L 21/302
C 23 F 4/00

C
A

審査請求 未請求 請求項の数1 OL (全 5 頁)

(21)出願番号 特願平10-124351

(22)出願日 平成10年(1998)5月7日

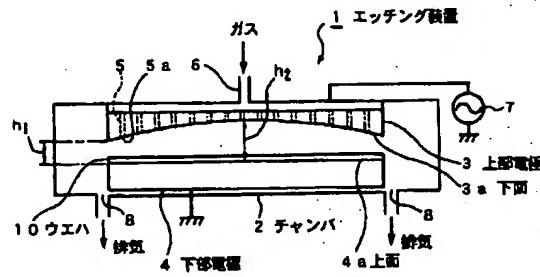
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 菅蒲 哲司
長崎県諫早市津久葉町1883番43 ソニー長
崎株式会社内
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】エッチング装置

(57)【要約】

【課題】ウエハの周縁部におけるエッチングレートの低下を抑制し、ウエハ面内におけるエッチング均一性を向上できるようにする。

【解決手段】チャンバ2内に上部電極3と下部電極4とが対向して設けられ、これら上部電極3と下部電極4との間にプラズマを発生させて下部電極4の上面4aに保持されるウエハ10の被処理物をエッチングするエッチング装置1において、上部電極3の下面3aが、その下面3aの略中央部における上部電極3と下部電極4とのギャップh₂よりも下面3aの周縁部における上部電極3と下部電極4とのギャップh₁が小さくなるように凹型に湾曲した形状に形成された構成となっている。



BEST AVAILABLE COPY

(2)

特開平11-317396

1

【特許請求の範囲】

【請求項1】 チャンバ内に上部電極と下部電極とが対向して設けられ、これら上部電極と下部電極との間にプラズマを発生させて下部電極の上面に保持されるウエハの被処理物をエッチングするエッティング装置において、前記上部電極の下面是、該下面の略中央部よりも周縁部にて該上部電極と前記下部電極との間隙が小さくなるように凹型に湾曲した形状に形成されてなることを特徴とするエッティング装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置製造のエッティング技術に用いるエッティング装置に関するものである。

【0002】

【従来の技術】 従来のエッティング装置としては、例えば図4に示すようなナローギャップ平行平板型のチャンバ構造を有したもののが知られている。すなわち、このエッティング装置20では、チャンバ21内に上部電極22と下部電極23とが対向して設けられており、上部電極22と下部電極23との間に高周波電圧が印加されるようになっている。なお、上部電極22の下面是平坦な面であり、下部電極23の上面との間隙（以下、ギャップと記す）が一定となるように配置されている。また上部電極22の下面にはエッティングガスの噴き出し口（図示省略）が形成され、下部電極23はウエハ10の保持台を兼ねたものとなっている。

【0003】 上記のエッティング装置20では、チャンバ21内を所定の真空状態に保持するとともに、上部電極22の下面から下部電極23に向けてエッティングガスを噴き出させ、上部電極22と下部電極23との間に高周波電圧を印加することにより、その間にエッティングガスを放電したプラズマを生成する。そして、生成したプラズマによって、下部電極23の上面に保持されたウエハ10の被処理物をエッティングする。

【0004】

【発明が解決しようとする課題】 ところで近年、半導体装置の高密度化にしたがって、配線形成プロセスは益々微細化、多層化の方向に進展している。これに伴い、ウエハの製造コストが上昇することになるため、一枚のウエハから得られるチップの数を増やしてチップあたりのコストを抑えるべくウエハの大口径化が進んでいる。しかし、ウエハの大口径化が進んでも、製造される半導体装置の製品の品質を揃えるためには、エッティング技術等の半導体装置の製造に用いる技術のウエハ内におけるエッティング均一性がこれまでと同程度以上の性能が必要になる。

【0005】 ところが、上記したような従来のエッティング装置では、下部電極の上面に保持したウエハの周縁部にてエッティングガスの対流が起こり易く、排気状態が悪

化する。この結果、ウエハの周縁部にプラズマとウエハの被処理物との反応生成物が堆積し易くなり、ウエハの中央部に比較して周縁部のエッティングレートが低下することになって、ウエハ面内のエッティング均一性が悪化するという不具合が生じている。

【0006】 例えば図4に示すチャンバ構造のエッティング装置20を用い、ウエハ10上に形成された酸化シリコン（ SiO_2 ）膜を、エッティングガスおよび流量： $\text{CF}_4/\text{CHF}_3/\text{Ar}/\text{N}_2 = 70 \text{ sccm}/60 \text{ sccm}/200 \text{ sccm}/20 \text{ sccm}$ 、電力：1000W、雰囲気圧力：53.3Pa、上部電極22と下部電極23とのギャップhを9nmとした条件でエッティングした場合には、図5(a)に示すウエハ10のX方向、Y方向のいずれの方向においても、図5(b)に示すようにウエハ10の周縁部にてエッティングレートが低下する結果が得られている。

【0007】 ウエハが大口径化されると、ウエハの周縁部におけるエッティングレートの低下がさらに顕著になってウエハ面内のエッティング均一性が一層悪化する恐れがあり、したがってウエハ面内におけるエッティング均一性を向上できるエッティング装置の開発が切望されている。

【0008】

【課題を解決するための手段】 チャンバ内にて対向して配置された上部電極と下部電極とのギャップhを変化させると、エッティングレートが変化することが知られている。具体的には図6に示すように、ギャップhを小さくするとエッティングレートが高くなり、ギャップhを大きくするとエッティングレートが低くなる。例えば図4に示すエッティング装置20では、上部電極22と下部電極23との間のギャップhを9nmから10nmに変更すると、エッティングレートが500nm/min程度低下する。

【0009】 このように上部電極と下部電極とのギャップhを小さくするとエッティングレートが高くなるのは、ギャップhを小さくすることで上部電極と下部電極との間に発生するプラズマの単位面積当たりの密度が高くなり、下部電極の上面に保持されたウエハの被処理物と反応するプラズマの単位時間あたりの数が実質的に増加するためであると考えられる。反対に、ギャップhを大きくするとエッティングレートが低くなるのは、ギャップhを大きくすることで上部電極と下部電極との間に発生するプラズマの単位面積当たりの密度が低くなり、ウエハの被処理物と反応するプラズマの単位時間あたりの数が実質的に減少するためであると考えられる。

【0010】 そこで本発明者はウエハの周縁部にて上部電極と下部電極とのギャップhを小さくし、ウエハの中心部にてギャップhが大きくなるようにすれば、ウエハの周縁部におけるエッティングレートを高くできかつウエハの中心部にてエッティングレートを低くできるとの考えに想到し、本発明を完成させたのである。

【0011】すなわち、本発明に係るエッティング装置は、チャンバ内に上部電極と下部電極とが対向して設けられ、これら上部電極と下部電極との間にプラズマを発生させて下部電極の上面に保持させるウエハの被処理物をエッティングするものにおいて、上部電極の下面が、この下面の略中央部よりも周縁部にて上部電極と下部電極との間隙が小さくなるように凹型に湾曲した形状に形成された構成となっている。

【0012】上記の発明では、上部電極の下面が、その略中央部より周縁部にて上部電極と下部電極とのギャップが小さくなるように凹型に湾曲した形状に形成されているため、上部電極と下部電極との間にプラズマを発生させた際、上部電極の下面の略中央部より周縁部にてプラズマの単位面積当たりの密度が高くなり、下部電極の上面に保持されたウエハの周縁部の被処理物と反応するプラズマの単位時間あたりの数が実質的に増加する。よって、たとえウエハの周縁部にてエッティングガスの対流が起きて、ウエハの周縁部に反応生成物が堆積し易い状態になっていても、ウエハの周縁部のエッティングレートの低下が抑制される。

【0013】

【発明の実施の形態】以下に本発明に係るエッティング装置の実施形態を図面に基づいて説明する。図1は本発明に係るエッティング装置の一実施形態の概略構成図であり、図2は図1の要部拡大断面図である。また図1および図2は、下部電極の上面にウエハが保持された状態を示してある。

【0014】図1に示すように、このエッティング装置1はナローギャップ平行平板型のもので、密閉容器からなるチャンバ2と、チャンバ2内に対向して配置された上部電極3および下部電極4とを備えて構成されている。上部電極3の下面3aは図2にも示すように、下面3aの略中央部における上部電極3と下部電極4とのギャップh₁が、下面3aの周縁部における上部電極3と下部電極4とのギャップh₂よりも大きくなるように、凹型に湾曲した状態に形成されている。

【0015】本実施形態では、上部電極3は処理するウエハ10と略等しい径の平面視略円形をなし、上部電極3の略中央部から周縁部に向かうにつれて厚みが増すようく形成されている。また下面3aの湾曲状態は、エッティングレートの低下状態やギャップの寸法等を考慮して設定している。

【0016】また上部電極3には、上部電極3の下面3aから下部電極4の上面4aに向けてエッティングガスを噴き出させるためのエッティングガスの導入管5が多数埋設されており、したがって上部電極3の下面3aにエッティングガスの噴き出し口5aが多数形成された状態になっている。なお、図2においてはエッティングガスの導入管5および噴き出し口5aの図示を省略してある。また上部電極3には、導入管5に連通する状態でエッティング

ガスの供給管6が接続されている。さらに本実施形態において、上部電極3には高周波電源（RF電源）7が接続されている。

【0017】一方、下部電極4はウエハ10の保持台を兼ねたものであり、上部電極3と同様に本実施形態において、処理するウエハ10と略等しい径の平面視略円形をなすとともに、ウエハ10を保持する上面4aが略平坦に形成されている。また図示しないが例えば内部に、ウエハ10を所定の温度に加熱するためのヒータや所定の温度に冷却するための冷却水の循環機構等が埋設されている。なお、下部電極4の上面には、例えばヘリウム（He）ガスや窒素（N₂）ガス等の不活性ガスを冷却ガスとして噴き出すための溝や孔が設けられていてよい。また本実施形態において、下部電極4は接地されている。

【0018】上部電極3と下部電極4とが設けられたチャンバ2の例えれば底部には、チャンバ2内のガスを排気するためのガス排気口8が形成されており、ガス排気口8には、例えばターボポンプからなる負圧源（図示省略）が接続されている。よって、チャンバ2内は負圧源により内部が排気されて所定の真空状態に保持されるようになっている。

【0019】このように構成されたエッティング装置1では、チャンバ2内を所定の真空状態に保持し、上部電極3の噴き出し口5aからエッティングガスを噴き出せるとともに、上部電極3と下部電極4との間にRF電圧を印加することによりエッティングガスのプラズマを発生する。そして、下部電極4の上面に保持されたウエハ10の被処理物をエッティングする。

【0020】この際、上部電極3の下面3aが、その周縁部における上部電極3と下部電極4とのギャップh₁が、下面3aの略中央部における上部電極3と下部電極4とのギャップh₂よりも大きくなるように凹型に湾曲した状態に形成されているため、上部電極3と下部電極4との間に発生するプラズマの単位面積当たりの密度が上部電極3の略中央部よりも周縁部で高くなる。つまり下部電極4の上面に保持されたウエハ10の周縁部上でプラズマの単位面積当たりの密度が高くなるため、ウエハ10の周縁部における被処理物と反応するプラズマの単位時間あたりの数が実質的に増加することになる。

【0021】その結果、たとえウエハ10の周縁部にてエッティングガスの対流が起きて、ウエハ10の周縁部に反応生成物が堆積し易い状態になっていても、ウエハ10の周縁部のエッティングレートの低下を抑制することができ、ウエハ10の中央部のエッティングレートと略等しくすることができるので、ウエハ10面内におけるエッティング均一性を向上させることができる。したがって、エッティング装置1を用いれば、信頼性が高く品質の良い半導体装置を歩留りの良く製造することができる。

【0022】しかも、新たに部材を追加する必要がな

BEST AVAILABLE COPY

(4)

特開平11-317396

5

く、上部電極3の下面3aの形状を変えるだけで大幅な変更もなくエッティング均一性の向上を図れるため、エッティング装置1の製造コストの上昇も抑えることができる。

【0023】なお、本実施形態では上部電極および下部電極をウエハの径と略等しい径を有する平面視略円形としたが、ウエハの径よりも大きい径を有する平面視略円形をなすとともに下面全面が凹型に湾曲した状態に形成することもできる。

【0024】また上部電極の下面が、図1および図2に示すようにウエハ10の周縁部におけるギャップ h_1 がウエハ10の中央部におけるギャップ h_2 よりも小さくなるなるよう凹型に湾曲した状態に形成されれば、上部電極の下面の形状はこの例に限定されない。

【0025】例えばウエハ10の径よりも大きな径の上部電極3とした場合には、図3の変形例に示すように上部電極3の下面3aの凹型に湾曲した部分3a₁から外方に延出した部分3a₂を、凹型に湾曲した部分3a₁の周縁から水平方向に延出して平坦な面（以下、この面を3a₂と記す）に形成することも可能である。この変形例では、上部電極3と下部電極4とを対向して配置する際、上部電極3の下面3aの平坦な面3a₂と下部電極4の上面4aとを基準にして上部電極3や下部電極4を位置決めし易いという利点がある。

【0026】

【発明の効果】以上説明したように本発明に係るエッティング装置よれば、上部電極の下面が、その下面の略中央部より周縁部にて上部電極と下部電極とのギャップが小

6

さくなるように凹型に湾曲した形状に形成された構成としたため、上部電極と下部電極との間にプラズマを発生させた際、上部電極の下面の略中央部より周縁部にてプラズマの単位面積当たりの密度を高くすることができるので、たとえウエハの周縁部にてエッティングガスの対流が起きて、ウエハの周縁部に反応生成物が堆積し易い状態になっていても、ウエハの周縁部のエッティングレートの低下を抑制でき、ウエハの中央部のエッティングレートと略等しくすることができるので、ウエハ面内におけるエッティング均一性を向上させることができる。したがって、本発明のエッティング装置を用いれば、信頼性が高く品質の良い半導体装置を歩留りの良く製造することが可能になる。

【図面の簡単な説明】

【図1】本発明に係るエッティング装置の一実施形態を示す概略構成図である。

【図2】図1の要部拡大断面図である。

【図3】図1の要部の変形例を示す断面図である。

【図4】従来のエッティング装置の一例を示す概略構成図である。

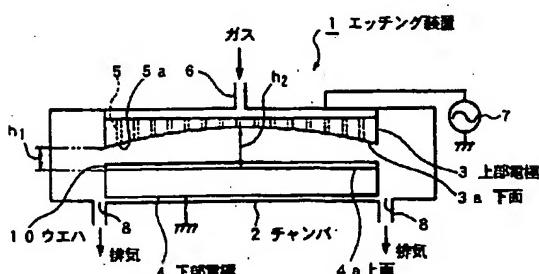
【図5】(a), (b)は本発明の課題を説明するための図である。

【図6】エッティングレートと上部電極および下部電極のギャップ h との関係を示す図である。

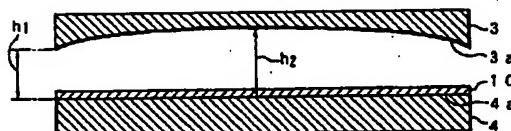
【符号の説明】

1…エッティング装置、2…チャンバ、3…上部電極、3a…下面、4…下部電極、4a…上面、10…ウエハ、
 h_1, h_2 …ギャップ

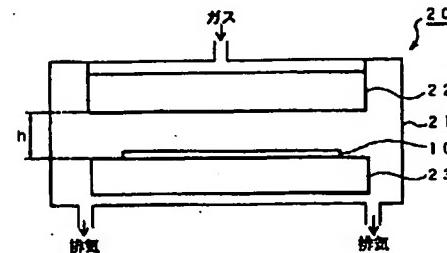
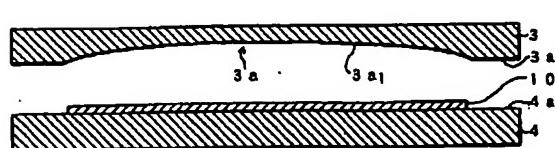
【図1】



【図2】



【図3】

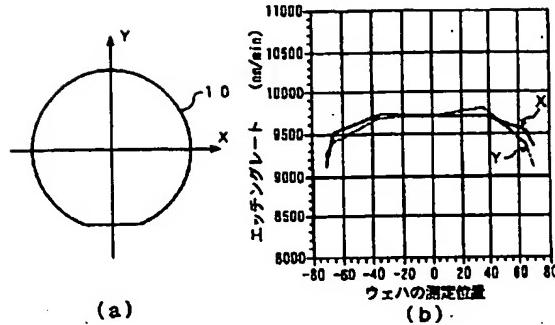


BEST AVAILABLE COPY

(5)

特開平11-317396

【図5】



【図6】

